

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-138686

(P2000-138686A)

(43) 公開日 平成12年5月16日 (2000. 5. 16)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 4 L 12/28		H 0 4 L 11/20	G 5 K 0 3 0
H 0 4 Q 3/00		H 0 4 Q 3/00	9 A 0 0 1

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平10-311319

(22) 出願日 平成10年10月30日 (1998. 10. 30)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221328

東芝通信システムエンジニアリング株式
社

東京都日野市旭が丘3丁目1番地の1

(72) 発明者 落合 民哉

東京都日野市旭が丘3丁目1番地の1 株
式会社東芝日野工場内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

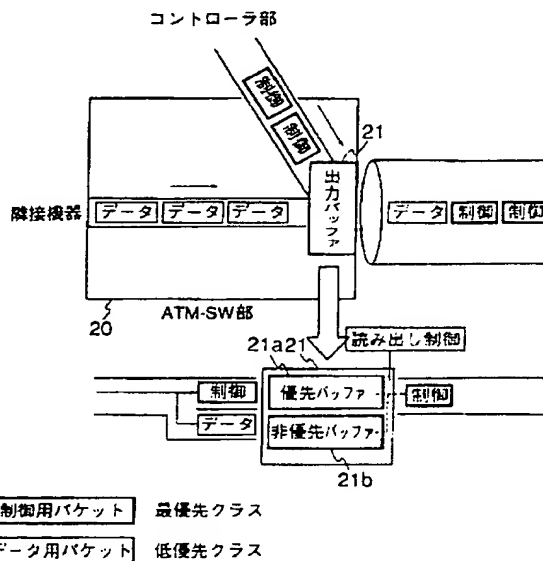
最終頁に続く

(54) 【発明の名称】 高速ルータにおける制御バス帯域保証方式

(57) 【要約】

【課題】 過トラヒック時であっても、制御フロー用のバスを確保し、カットスルーバスを維持して高速転送を可能とする。

【解決手段】 高速ルータのATMスイッチ部20の出力側で、その出力対象となるパケットをVC単位で判別し、その判別結果に従って、制御用パケットが通る制御バスを優先するように、その制御用パケットを優先バッファ21aに格納して優先的に出力することにより、上記制御バスの通信帯域を確保する。これにより、過トラヒック時であっても、制御用パケットが不通状態になることを回避してカットスルーバスを維持することができ、高速転送が可能となる。



【特許請求の範囲】

【請求項1】 ATMスイッチおよびコントローラからなる高速ルータに用いられる制御パス帯域保証方式であって、

上記ATMスイッチの出力側で、その出力対象となるパケットをVC単位で判別し、

その判別結果に従って、制御用パケットが通る制御パスを優先するように、その制御用パケットを優先バッファに格納して優先的に出力することにより、

上記制御パスの通信帯域を確保するようにしたことを特徴とする制御パス帯域保証方式。

【請求項2】 ATMスイッチおよびコントローラからなる高速ルータに用いられる制御パス帯域保証方式であって、

上記ATMスイッチから上記コントローラに転送されたATMセルをIPパケットに組み立てて、制御用パケットであるかデータ用パケットであるかを判別し、

その判別結果に従って、制御用パケットとデータ用パケットとを区別してパケット処理メモリに格納することにより、

上記制御用パケットが通る制御パスの通信帯域を確保するようにしたこと特徴とする制御パス帯域保証方式。

【請求項3】 ATMスイッチおよびコントローラからなる高速ルータに用いられる制御パス帯域保証方式であって、

上記ATMスイッチの出力側で、その出力対象となるパケットをVC単位で判別し、

その判別結果に従って、制御用パケットが通る制御パスを優先するように、その制御用パケットを優先バッファに格納して優先的に出力すると共に、

上記ATMスイッチから上記コントローラに転送されたATMセルをIPパケットに組み立てて、制御用パケットであるかデータ用パケットであるかを判別し、

その判別結果に従って、制御用パケットとデータ用パケットとを区別してパケット処理メモリに格納することにより、

上記制御用パケットが通る制御パスの通信帯域を確保するようにしたこと特徴とする制御パス帯域保証方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、IETF (International Engineering Task Force: インターネット特別技術調査委員会) におけるRFC (Request For Comments) 2129に示される高速ルータにおいて、高速転送を行うための制御用パケットの通信帯域を確保するための制御方式に関するものである。

【0002】

【従来の技術】近年のインターネットの普及に伴い、インターネットインフラは拡大の一途をたどっている。ここでの重要な技術として複数の論理ネットワークを接続

する装置がある。ブリッジ、ルータなどのパケットの中継装置では、同一サブネット（論理ネットワーク）の通信ならばデータリンク層で、異なるサブネット（論理ネットワーク）間での通信ならば、ネットワーク層にてパケットの宛先毎のルーティング処理により転送を行う。このようなネットワーク層におけるルーティング処理によるパケットの転送をホップバイホップ転送と呼ぶ。

【0003】このホップバイホップ転送方式では、IPのヘッダ情報の抽出、次にIPを送る宛先と（next HOP）の判定処理をソフトウェア処理（CPU）で行う。したがって、この部分での処理速度が遅くなり、近年の通信トラヒックの高速化、増加の中で、複数装置を介するようなネットワークにおいては、この点がボトルネックとなり、スループットを上げることができなかった。

【0004】そこで、IPパケットのデータリンク層の処理を省略し、カットスルー転送と呼ばれるATM (Asynchronous Transfer Mode: 非同期転送モード) スイッチ交換によって高速なIPフォワーディング処理を実現するラベルスイッチ方式のルータ（セルスイッチルータ: CSR）が提案されている。

【0005】このラベルスイッチ方式では、比較的セッション時間の長いftp、httpといった通信、またはネットワークアドレスを情報ベースとして同属のネットワークに対してのIPパケットデータをカットスルー転送として（レイヤ1レベル（ATM）での転送）処理が行われるため、スループットの向上に有効であり、従来方式に比較して格段に処理速度の高速化を図ることができる。

【0006】このようなラベルスイッチ方式を用いた高速ルータは、ATMスイッチの後段にIP処理装置（コントローラとも呼ばれる）を備え、IP処理装置によりATMスイッチに対してカットスルー転送用のパスを設定し、レイヤ1レベルでの高速転送を実現している。

【0007】ところで、この種の高速ルータにおいて、従来、高速転送を行うための制御パスのパケットとデータ転送用パスのパケットとを区別せず転送していた。また、IP処理装置（コントローラとも呼ばれる）内において、パケットのトラヒック（通信量）を管理するメモリに、ATMスイッチ部から送られてくる制御用パケットとデータ用パケットを区別せずに格納していた

【0008】

【発明が解決しようとする課題】上記したように、従来の高速ルータでは、制御用パケットとデータ用パケットとを区別せずに順に転送する構成であったため、データ用パケットの転送量が通信帯域を超える場合に、制御用パケットが不通状態となり、カットスルーパスを維持できなくなる問題があった。

【0009】また、コントローラ内のメモリに制御用パケットとデータ用パケットを区別せずに格納していたた

め、データ用パケットが増大すると、そのデータ用パケットによってメモリが占有され、制御用パケットを確保できなくなり、カットスルーパスを維持できなくなる問題があった。

【0010】本発明は上記のような点に鑑みなされたもので、過トラヒック時であっても、制御フロー用のパスを確保し、カットスルーパスを維持して高速転送を可能とする高速ルータにおける制御パス帯域保証方式を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の第1の方式は、ATMスイッチの出力側で、その出力対象となるパケットをVC単位で判別し、その判別結果に従って、制御用パケットが通る制御パスを優先するように、その制御用パケットを優先バッファに格納して優先的に出力することにより、上記制御パスの通信帯域を確保するようにしたものである。

【0012】また、本発明の第2の方式は、ATMスイッチからコントローラに転送されたATMセルをIPパケットに組み立てて、そのIPパケットに基づいて制御用パケットであるかデータ用パケットであるかを判別し、その判別結果に従って、制御用パケットとデータ用パケットとを区別してパケット処理メモリに格納することにより、上記制御用パケットが通る制御パスの通信帯域を確保するようにしたものである。

【0013】上記第1および第2の方式を単独あるいは組み合わせて用いることにより、カットスルー転送を行うための制御用パケットをコントローラ部に損失なく到達させることが可能となる。これにより、トラヒック輻輳時であっても、制御パスの通信帯域を確保し、カットスルーパスの生成／切断の制御を行うことができる。

【0014】

【発明の実施の形態】以下、図面を参照して本発明の一実施形態を説明する。

【0015】図1は本発明の一実施形態に係る高速ルータにおけるカットスルー方式を説明するための図である。本発明の高速ルータは、ATM交換機を用いたラベルスイッチ方式の中継装置であり、ルーティング制御、カットスルー制御等を行うコントローラ部10とパケット転送を行うATMスイッチ部20とで構成される。なお、この高速ルータは、セルスイッチルータ(CSR)と呼ばれ、IETFにおけるRFC2129に示されている

【0016】ATMスイッチ部20は、53バイトのATMセルと呼ばれるパケットを基本として交換を行う。53バイトのATMセルは、5バイトのヘッダ(ラベルとも呼ぶ)と48バイトの情報(ユーザ情報)から構成される

【0017】このATMセルのヘッダには、宛先などの制御情報やルーティング情報などが設定される。すなわ

ち、ATMネットワークの中には、いくつかの仮想パス(VP)が設定され、さらに、その各仮想パス毎に実際にデータを送る仮想チャネル(VC)がいくつか設定されている。このため、まず、どのVPを使用するかを識別するために、セルのヘッダ部分にVPI(Virtual Path Identifier: 仮想パス識別子)を設けている。さらに、VPの中のどのVCを使用して相手にデータを送ればよいかを識別するために、セルのヘッダ部分にVCI(Virtual Channel Identifier: 仮想チャネル識別子)を設けている。このVPI/VCIは、どのVPと、どのVCを選択して相手と通信するかを決める部分であるため、ルーティング・ビット(通信経路を選択するためのビット)と呼ばれている。

【0018】ATMスイッチ20の入力端に入力されたATMセルは、その宛先(VPI/VCI)毎に出力端に分配される。その際、ホップバイホップ転送するか、カットスルー転送するかが決まっていなかった場合には、各ATMセルをコントローラ部10に送ってIPパケットの形に組み立てる。すなわち、どのようなアプリケーションに使用されるデータなのか、また、そのデータ長などの判断は1つのセルを見ただけでは分からないため、パケット単位で各セルを集めることにより、コントローラ部10が処理できる形にする。

【0019】この様子を図1(a)に示す。

【0020】図1(a)に示すようなCSRシステムにおいて、本発明の高速ルータと相当するコアルータに上流側のエッジルータから複数のATMセルが到着すると、これらのATMセルは、まず、ATMスイッチ部20を介してコントローラ部10に送られる。

【0021】コントローラ部10に入力されたATMセルは、コントローラ部10内のセル分解・組立部(SAR: Segmentation and Reassembly Sublayer)11でIPパケットに組み立てられる。マイクロコンピュータまたは専用LSIからなるコントローラ部10は、このIPパケットからヘッダ情報を抽出し、宛先IPアドレス等を解析する。次に、解析した宛先IPアドレスをキーとしてフォワーディングテーブル12を検索する。

【0022】このフォワーディングテーブル12には、宛先IPアドレスに対応付けて出力回線情報が予め登録されており、上記宛先IPアドレスをキーとした検索結果に従って、転送先となるIPサブネットワークまたはホストが接続されている出力回線が判定される。当該IPパケットは上記セル分解・組立部11でATMセルに分解された後、そのヘッダ部分に目的とする出力回線に応じたVC値が新たに付けられ、再度ATMスイッチ部20を介して出力回線へ送出される。

【0023】ここで、図1(b)に示すように、例えば上流側のエッジルータにおいて、カットスルートリガが検出されると、コントローラ部10にて、カットスルーパスが生成される。カットスルーパスが生成されると、

10

20

30

40

50

図1(c)に示すように、そのトリガと同宛先のデータパケット(ATMセル)は、コントローラ部10を介さずにカットスルー転送され、カットスルー制御を行うための制御用パケットを含むその他のパケットは非カットスルー転送される。

【0024】カットスルーパスが生成された場合、図2に示すように、カットスルー転送を行うVC(これをDedicated VCと呼ぶ)と非カットスルー転送を行うVC(これをDefault VCと呼ぶ)が同時に存在し、コントローラ部10には、ATMスイッチ部20からDefault VCを通じて制御用パケットとデータ用パケットが混在して入力されることになる。このため、物理回線(ATM155M)のトラフィックにおいて、ユーザデータの過負荷転送により、ATMスイッチ部20の入出力が輻輳状態になると、カットスルーパスを維持するための制御用パケットがコントローラ部10に到達不可になる状態が発生する。

【0025】なお、図2において、13はコントローラ部10の制御を行うCPU、14はATMスイッチ部20から送られてきたパケットを一時格納しておくための

パケット処理メモリである。

【0026】(第1の方式)そこで、このような状態を回避するために、第1の方式として、制御パスのDefault VCを優先クラスに定義し、カットスルーパスのDedicated VCを非優先クラスに定義する。

【0027】すなわち、図3に示すように、ATMスイッチ部20の出力端に設けられる出力バッファ21を優先バッファ21aと非優先バッファ21bで分けて構成し、出力対象となるパケットをVC単位で判別し、Default VCを通る制御用パケットを優先バッファ21aに格納し、Dedicated VCを通過するデータ用パケットを非優先バッファ21bに格納して、優先バッファ21aに格納された制御用パケットを優先出力する。

【0028】図4に具体的な構成を示す。

【0029】図4は本発明の第1の方式を適用したATMスイッチ部20の内部構成を示す図である。今、2つの入力ポートより入力されたATMセル(パケット)が、ATMスイッチ部20の使用量パラメータ制御部(UPC: Usage Parameter Control)22を通過してヘッダ変換部(HCV: Header Converter)23によってルーティング処理され、セルフルーティングスイッチ24により同じ出力ポートにスイッチングされる場合を想定する。

【0030】使用量パラメータ制御部22は、各コネクション毎のセル流量を監視する。ヘッダ変換部23は、入力セルのヘッダ部に付加されていたVCI値を出力先のVCI値に変換する。セルフルーティングスイッチ24は、セルのヘッダ情報に基づいて、当該セルを出力先

にルーティングする。このセルフルーティングスイッチ24によってルーティングされたセルは、出力バッファ21に一時格納された後、出力ポートに出力される。

【0031】図3に示すように、この出力バッファ21には優先バッファ21aおよび非優先バッファ21bが設けられており、上記2つの入力ポートから入力され、セルフルーティングスイッチ24によって同一出力ポートにルーティングされた各セル(パケット)は、優先度制御部25によって、そのどちらかに格納される。優先バッファ21aと非優先バッファ21bのどちらに格納するのかは、セルのヘッダ情報の1つであるCLP(Cell Loss Priority: セル損失優先表示)フラグにより決定する。

【0032】図5にセルヘッダのフォーマットを示す。ATMセルは、53バイトのデータからなり、そのうちの5バイトをヘッダとして用い、残りの48バイトをユーザ情報として用いている。5バイトのヘッダには、VPI/VCIといった通信経路の識別情報などの他に、CLPフラグが設けられている。このCLPフラグは1ビットで構成され、“0”のとき優先、“1”のとき非優先を示す。

【0033】ここで、制御用パケットを転送するDefault VCはCLP=0(優先)で設定し、データ用パケットを転送するDedicated VCはCLP=1(非優先)に設定しておく。そして、出力バッファ21において、図3に示すように、制御用パケットが通るDefault VCを優先するように、優先バッファ21aに制御用パケットを格納して優先的に出力する。その処理フローを図6に示す。

【0034】図6はATMスイッチ部20におけるパケットの優先度制御処理の動作を示すフローチャートである。

【0035】ATMスイッチ部20の出力端において、その出力対象となるATMセル(パケット)を出力バッファ21に格納する際に(ステップA11)、優先度制御部25はそのセルのヘッダ部分に付加されたCLPフラグをチェックする(ステップA12)。

【0036】その結果、CLPフラグが“0”の場合には(ステップA12のYes)、優先度制御部25は当該セルを優先セル(制御用パケット)であると判断し、これを出力バッファ21に設けられた優先バッファ21aに格納する(ステップA13)。そして、優先度制御部25はこの優先バッファ21aに格納された優先セルをその格納順に順次読み出して外部に出力する(ステップA14)。

【0037】一方、CLPフラグが“1”の場合には(ステップA12のNo)、優先度制御部25は当該セルを非優先セル(データ用パケット)であると判断し、これを出力バッファ21に設けられた非優先バッファ21bに格納する(ステップA15)。ここで、非優先バ

バッファ21bに格納された非優先セルに対しては、優先バッファ21a内に優先セルが格納されていない場合に順次読み出して、それ以外の場合には優先セルの読み出しが終了するまで処理待ちの状態になる。

【0038】すなわち、優先度制御部25は優先バッファ21aの状態をチェックし、優先バッファ21aに優先セルがないことを確認すると(ステップA16のYes)、非優先バッファ21bに格納された非優先セルをその格納順に順次読み出して外部に出力する(ステップA14)。また、優先バッファ21aに優先セルが存在する場合(ステップA16のNo)、優先度制御部25は優先セルの読み出しが終了するまで、非優先セルの出力を待つ(ステップA17)。

【0039】このような優先制御処理により、Default VCの packets と Dedicated VCの packets の間には優先度が発生し、Default VCを通る制御用 packets が優先出力される。これにより、出力ポートのトラヒックが輻輳状態になった場合でも、Default VCを通る制御用 packets の転送を保證することができる。

【0040】(第2の方式)ところで、カッスルーが生成された場合に、カッスルーの制御対象とならないデータ用 packets も Default VCを経路としてコントローラ部10に転送される。従来方式では、コントローラ部10にて、制御用 packets とデータ用 packets を受信すると、図7に示すように、これらの packets を区別せずに packets 処理メモリ14に格納していた。このため、データ用 packets のトラヒックが大幅に増加すると、コントローラ部10において、データ用 packets でメモリエリアを消費してしまい、制御用 packets を受信のためのメモリエリアを確保できなくなる状態が生じる。

【0041】そこで、この状態を回避するために、第2の方式として、図8に示すように、 packets 処理メモリ14のメモリエリアを、制御用 packets を処理する制御用メモリエリアとデータ用 packets を処理するメモリエリアに分け、 packets 受信時に制御用 packets かデータ用 packets かを IP packets の状態で判別することで、制御用 packets とデータ用 packets を振り分けて処理することで、制御用 packets のメモリエリアを確保する。

【0042】図9に具体的な構成を示す。

【0043】図9は本発明の第2の方式を適用したコントローラ部10の内部構成を示す図である。コントローラ部10内には、CPU13、 packets 処理メモリ14、後述する判別用プログラムが格納された判別用メモリ15、ATMインタフェース16が設けられる。

【0044】CPU13は、コントローラ部10の制御を行うものであり、ここでは packets 判別プログラムの起動により、IP packets の種類を判別し、その判別結果に応じて当該 packets を packets 処理メモリ14の制

御用メモリ14aまたはデータ用メモリ14bに選択的に格納するための処理を行う。 packets 処理メモリ14はRAMによって構成され、そのメモリエリアのアドレスa1~anは制御用メモリ14a、アドレスan+1~amはデータ用メモリ14bとして予め設定されている。

【0045】判別用メモリ15は、RAMによって構成され、 packets の種別を判別する際に使用する判別用プログラムが格納されている。この判別用プログラムによってCPU13が packets の種別を判別する。

【0046】ATMインタフェース16は、ATMスイッチ部20との間で packets を入出力処理する。このATMインタフェース16には、ATMセルから IP packets を組み立てるためのセル分解・組立部(SAR)11が設けられている。

【0047】次に、上記のようにして構成されるコントローラ部10の packets 処理動作について説明する。

【0048】図10はコントローラ部10における packets 処理動作を示すフローチャートである。

【0049】ATMスイッチ部20からコントローラ部10にATMセルがATMインタフェース16を介して送られてくると(ステップB11)、ATMインタフェース16内に設けられたセル分解・組立部(SAR)11によって、ATMセルから IP packets への組み立てが行われる(ステップB12)。このセル分解・組立部(SAR)11にて IP packets が組み立てられると、CPU14にて、その IP packets が制御用 packets かデータ用 packets であるかを判別するため、当該 IP packets を判別用メモリ15に一時格納する。

【0050】CPU14は、この判別用メモリ15に格納された判別用プログラムを使用して IP packets のデータ内容を解析することにより、当該 IP packets が制御用 packets であるか、または、データ用 packets であるかを判別する(ステップB13)。

【0051】その判別の結果、制御用 packets である場合には、CPU14は packets 処理メモリ14に設定された制御用メモリ14aのエリア(a1~an)に当該 IP packets を格納して処理する(ステップB14)。一方、データ用 packets である場合には、CPU14は packets 処理メモリ14に設定されたデータ用メモリ14bのエリア(an+1~am)に当該 IP packets を格納して処理する(ステップB15)。

【0052】このように、コントローラ部10内にて、IP packets の種類を判別し、制御用 packets とデータ用 packets とを区別して packets 処理メモリ14に格納することで、データ用 packets のトラヒックが大幅に増加したとしても、制御用 packets のメモリエリアを確保することができ、その制御用 packets に基づいてカッスルーパスの生成したり、切断するなどの制御を正常に行うことができる。

【0053】なお、パケット処理メモリ14内の制御用メモリ14aはピーク時の制御用パケットの量に応じて予め設定されており、しかも、パケットの転送が正常に行われていれば、制御用メモリ14aに格納された制御用パケットが順次読み出され、ATMスイッチ部20を介して外部に出力されるため、制御用パケットによって制御用メモリ14aが一杯になることはない。

【0054】このように、上記第1の方式または第2の方式、あるいは、その2つの方式を実現することで、カットスルーの制御用パケットをコントローラ部10に損失なく到達させることが可能となる。これにより、トラヒック輻輳時であっても、制御パスの通信帯域を確保し、カットスルーパスの生成／切断の制御を行うことができる。

【0055】

【発明の効果】以上詳記したように本発明によれば、ATMスイッチの出力側で、その出力対象となるパケットをVC単位で判別し、その判別結果に従って、制御用パケットが通る制御パスを優先するように、その制御用パケットを優先バッファに格納して優先的に出力するか、または、ATMスイッチからコントローラに転送されたATMセルをIPパケットに組み立てて、そのIPパケットに基づいて制御用パケットであるかデータ用パケットであるかを判別し、その判別結果に従って、制御用パケットとデータ用パケットとを区別してパケット処理メモリに格納して、上記制御用パケットが通る制御パスの通信帯域を確保するようにしたため、過トラヒック時であっても、制御用パケットが不通状態になることを回避してカットスルーパスを維持することができ、高速転送が可能となる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る高速ルータにおけるカットスルー方式を説明するための図。

【図2】カットスルー転送を行うVC (Dedicated VC) と非カットスルー転送を行うVC (Default VC) を説明するための図。

unit VC) を説明するための図。

【図3】本発明の第1の方式における優先度制御を説明するための図。

【図4】本発明の第1の方式を適用したATMスイッチ部の内部構成を示す図。

【図5】セルヘッダのフォーマットを示す図。

【図6】本発明の第1の方式を適用したATMスイッチ部におけるパケットの優先度制御処理の動作を示すフローチャート。

【図7】従来方式によるコントローラ部のパケット処理メモリの構成を示す図。

【図8】本発明の第2の方式によるコントローラ部のパケット処理メモリの構成を示す図。

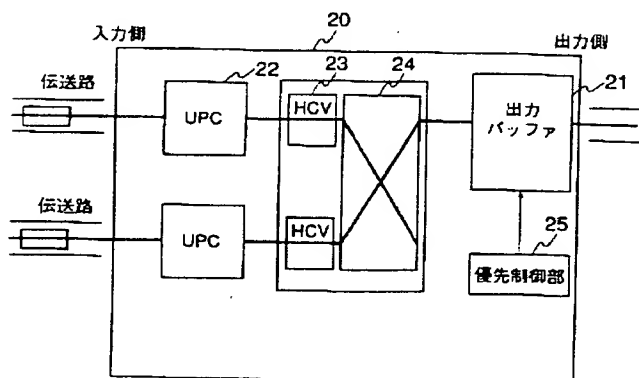
【図9】本発明の第2の方式を適用したコントローラ部の内部構成を示す図。

【図10】本発明の第2の方式を適用したコントローラ部におけるパケット処理動作を示すフローチャート。

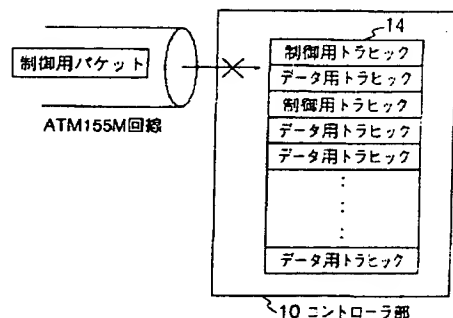
【符号の説明】

- 10…コントローラ部
- 20…ATMスイッチ部
- 11…セル分解・組立部 (SAR)
- 12…フォワーディングテーブル
- 13…CPU
- 14…パケット処理メモリ
- 14a…制御用メモリ
- 14b…データ用メモリ
- 15…判別用メモリ
- 16…ATMインタフェース
- 21…出力バッファ
- 21a…優先バッファ
- 21b…非優先バッファ
- 22…使用量パラメータ制御部 (UPC)
- 23…ヘッダ変換部 (HCV)
- 24…セルフルーティングスイッチ
- 25…優先度制御部

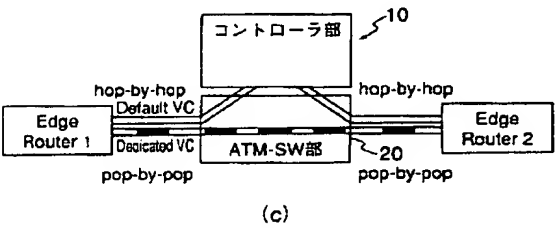
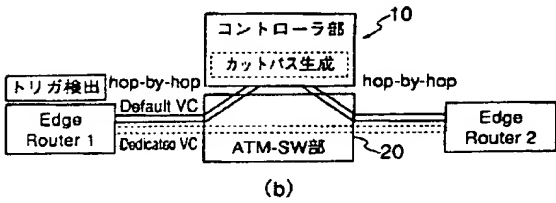
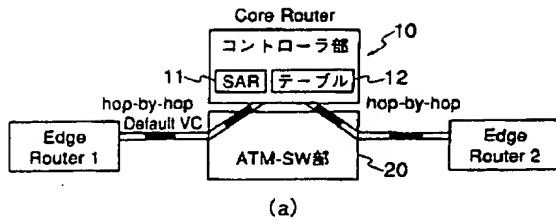
【図4】



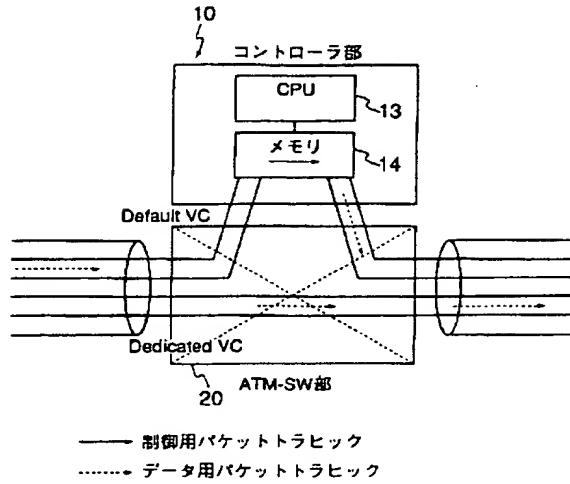
【図7】



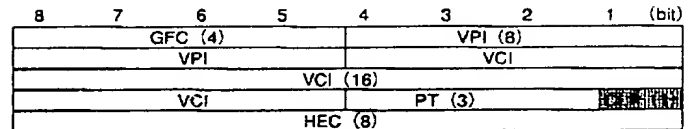
【図1】



【図2】

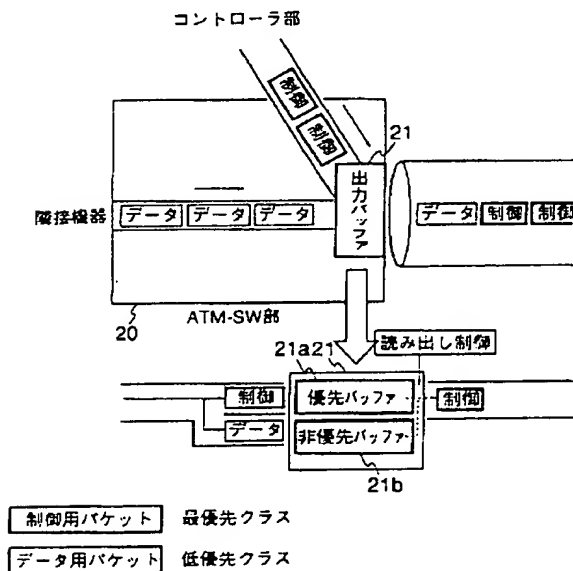


【図5】

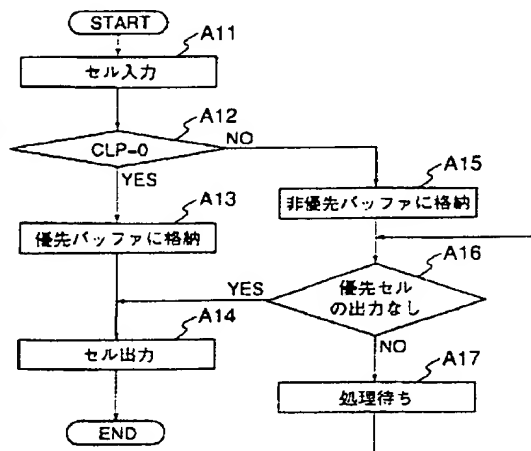


GFC : Generic Flow Control 一般的フロー制御
 VPI : Virtual Path Identifier 仮想パス識別子
 VCI : Virtual Channel Identifier 仮想チャネル識別子
 PT : Payload type ペイロードタイプ
 CLP : Cell Loss Priority セル損失優先表示
 HEC : Header Error Control ヘッダ誤り制御

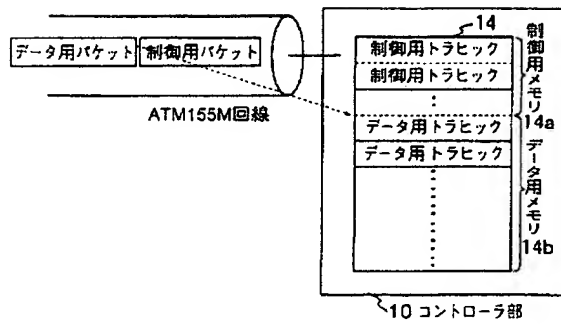
【図3】



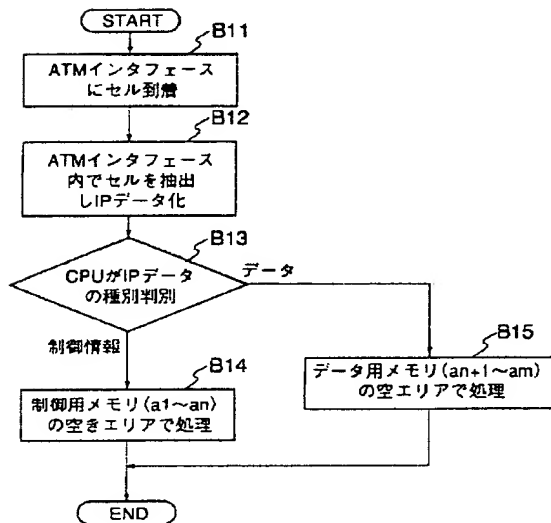
【図6】



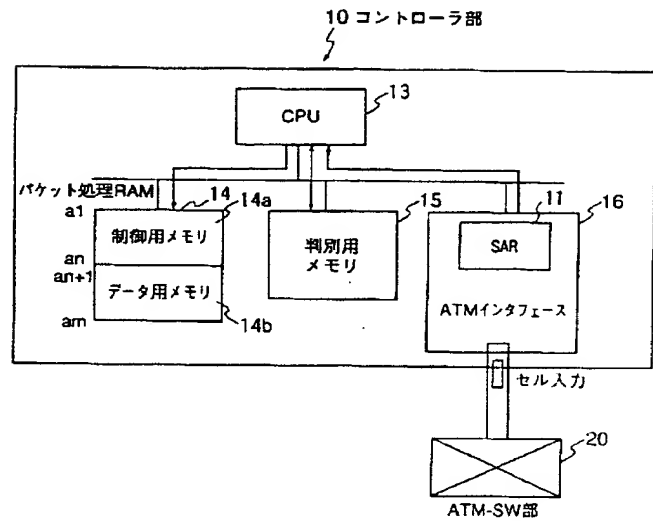
【図8】



【図10】



【図9】



フロントページの続き

(72) 発明者 安田 博和
東京都日野市旭が丘3丁目1番地の1 東
芝通信システムエンジニアリング株式会社
内

Fターム(参考) 5K030 GA03 GA13 HA10 HD03 KA01
KA02 LC11 LE05
9A001 JJ18 JJ25 JJ28

===== WPI =====

TI - Local area network switch has control packet extractor structure that
extracts control packet before classifying communication traffic, and
performs priority control by distributing communication traffic

AB - JP2001094605 NOVELTY - A control packet extractor structure (410)
extracts a control packet before classifying communication traffic for
every quality of service (QoS) set-up, and performs priority control by
distributing communication traffic to a control packet and a data packet.

- USE - Local area network (LAN) switch.

- ADVANTAGE - Prevents topology of system to be adversely influenced by
condition in which data packet does not flow.

- DESCRIPTION OF DRAWING(S) - The figure is the functional block diagram
of a traffic group controller. (Drawing includes non-English language
text).

- Control packet extractor structure 410
(Dwg.4/7)

PN - JP2001094605 A 20010406 DW200134 H04L12/56 006pp

PR - JP19990271788 19990927

PA - (HITA-N) HITACHI COMPUTER ELECTRONICS KK
(HITA) HITACHI LTD

MC - W01-A03B W01-A06B5A W01-A06E W01-A06E1 W01-A06F W01-A06G2 W01-A06G3 W01-
A06X W01-B07

DC - W01

IC - H04L12/28 ;H04L12/46 ;H04L12/56

AN - 2001-324913 [34]

THIS PAGE BLANK (USPTO)